

PCI Express 协议事务层设计与仿真

许川佩,李春丰,张培源

(桂林电子科技大学 电子工程与自动化学院 广西自动检测技术与仪器重点实验室,广西 桂林 541004)

摘 要: PCI Express 协议是一种高速的的串行总线协议,事务层是整个协议中重要的部分. 针对海量数据实时传输的实现问题,本文对该协议事务层进行系统结构设计,主要实现事务层的数据发送,数据接收和信用流控制,以及对应用层接口和数据链路层接口的逻辑设计. 采用 Verilog HDL 语言实现. 使用 Modelsim 进行仿真. 验证了本设计的正确性.

关键词: PCI Express; 事务层; Verilog HDL

中图分类号: TP336

文献标识码: A

文章编号: 1000—7180(2018)09—0064—06

The Design and Simulation of Transaction Layer of PCI Express Protocol

XU Chuan-pei, LI Chun-feng, ZHANG Pei-yuan

(Guangxi Key Laboratory of Automatic Detection Technology and Instrument, School of Electronic Engineering and Automatic, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: The PCI Express protocol is a high-speed serial bus protocol. The transaction layer is an important part of the entire protocol. In the real-time transmission of mass data, the system structure of the protocol transaction layer is designed in this paper. The main functions are: to achieve the affairs of the data transmission, data reception and credit flow control, as well as the logic design of the application layer interface and data link layer interface. These features are implemented in Verilog HDL language and simulated by Modelsim. The simulation of the transaction layer system verifies the correctness of the design.

Key words: PCI Express; transaction layer; Verilog HDL

1 引言

随着现代测试系统和通信领域的发展,对数据采集以及数据传输的速率要求越来越高^[1]. 如何实现高速数据的实时传输是数据采集系统设计的主要问题. 这种趋势促进了总线技术的发展,由于传统的 PCI 总线固有的缺陷,并且随着应用程序的规模越来越大,对硬件系统的要求也越来越高. 因此,能够适应高速数据传输并且满足各种兼容需求的 PCI Express 于 2002 年 7 月诞生^[2]. 该总线作为第三代 I/O 总线系统,能够解决上述问题,且满足高速数据传输的需求. 作为新一代的总线技术,第一代 PCI Express 在每个通道的传输速率不低于 2.5 Gb/s,

并且可以根据用户需要灵活配置 x1、x4、x8、x16 的工作方式^[3]. 2007 年,第二代 PCI Express 总线规范出现,二代总线协议在每个通道的传输速率能够达到第一代的两倍,即 5 Gb/s^[4]. 2010 年,PCIe 3.0 协议出现,单通道的传输速率上升到 8 Gb/s^[5]. 2016 年,新一代的 PCIe 4.0 协议出现,其传输速率能够达到 16 Gb/s,但是由于其对传输媒介的要求,目前还没有公司宣布有能够应用的芯片组.

2 PCIe 协议

PCI Express 总线协议是一种全新的串行总线协议技术,与 PCI 总线技术相比较,具有双工串行传输模式、很好的灵活性、优良的兼容性、数据传输

率的自适应调整等特点^[6].

PCI Express 协议采用点到点和交换式的拓扑结构,它的基本结构包括 Root Complex (RC), Switch 以及 Endpoint (EP) 等^[2],RC 为 CPU 和主存储器提供一条链路,用于与下层的一个或多个 I/O 设备连接. Switch 的主要作用是将数据从一个 PCI 端口路由到另一个 PCI 端口. 用于多个 PCI 设备的互联互通,主要的功能是为上游器件和下游器件选择通讯路径. EP 为 PCI Express 事务的 Requester 或者 Completer.

PCI Express 协议规定了事务层,数据链路层和物理层三个层次协议,其中物理层是整个协议的底层,数据链路层是协议的中间层,事务层是 PCI Express 协议的顶层^[7-9]. 本文主要介绍事务层设计,通过将设计完成的事务层与数据链路层和物理层联合,实现海量数据的高速、实时传输.

事务层主要负责完成 TLP(Transaction Layer Package)的合成和分解,接收事务包的错误和支持检测,发送事务包的流控和队列控制. 事务层是 PCI Express 协议的最高层,该层协议接收来自应用层的数据事务包,将其传输到数据链路层,并且反向接收数据链路层的数据包,通过处理后,传输到应用层. 事务包传输格式如图 1 所示.

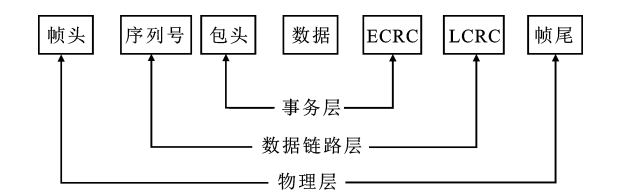


图 1 事务包的格式

本文主要研究 PCI Express 协议事务层的工作原理,利用 Verilog HDL 语言实现,并用 Modelsim 对设计结果进行仿真验证,分析设计和仿真结果,证明设计的正确性.

3 事务层概述

事务层的主要工作是数据事务包的传输. 事务包主要分为三种事务,包括 Posted, Non-Posted 和 Cpl. TLP 事务包的头部由 3 个或者 4 个 DW 组成,其格式如图 2 所示,其中 Fmt 主要说明头部的长度标识,Type 说明事务包的类型格式,TC 说明事务包的传输类别,TD 说明事务包有没有校验区,EP 用于说明数据的有效性,Attr 包括宽松排序位和监听位,Length 说明数据包的长度.

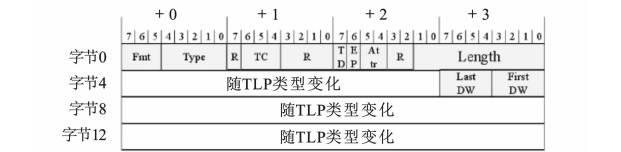


图 2 事务包头的格式

当事务层接收来自应用层的数据时,通过检查事务包的格式,长度以及类型,将事务包分成三种事务包格式暂存,再通过事务信用检测以及队列排序控制之后,将数据传输到数据链路层. 同理,当事务层接收到来自数据链路层的事务包时,先对事务包进行接收检查,排除事务包畸形,错误,不支持事务等,将事务包存储在缓冲区中,并且将事务包的信息推送到应用层.

接收发送过程中最主要的过程为信用流控制,信用流控制的主要作用是在发送端和接收端进行数据传递时,合理地使用物理链路,避免因为接收端缓冲区容量不足而丢弃来自发送端的数据,从而要求发送端重新发送已经发送过的报文,并最终有效地利用传输带宽. 信用流控制的目的是在充分利用传输带宽的前提下,通过控制传输过程中消耗的存储空间计算,不断判断已经传输的数据包的大小,以及读取接收端的存储空间更新信用信息,合理有序的发送数据包,使接收端不出现溢出的情况. 其传输机制如图 3 所示.

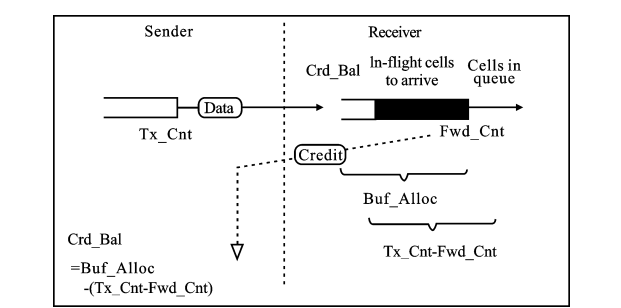


图 3 数据传输的信用机制

其中 Buf_Alloc: 在接收器中分配给 VC 的单元的总数, Tx_Cnt 是发送方发送的所有数据信元的运行的总数, Fwd_Cnt 是接收器转发的所有数据信元的正在运行的总数, Crd_Bal 是发送方保持非负信用余额.

4 事务层模块设计方案

4.1 事务层实现结构

通过对 PCI Express 事务层协议原理的分析,

事务暂存模块设置 FIFO 格式如图 6 所示. 共有三个相同的模块,分别为转发事务,非转发事务和完成事务,同时,每个事务中含有两个 FIFO 用来保存 TLP 和 TLP 的信用信息. 其中用于保存 TLP 的 FIFO 设置其位宽为 64、深度为 1024,用于保存信用信息的 FIFO 位宽设定为 10、深度设定为 4,从而保证有足够的空间用于存储 TLP 所对应的信用信息.

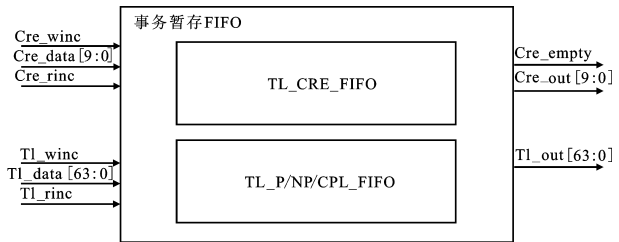


图 6 事务暂存 FIFO

发送判断模块主要读取信用控制器发送的信用通过信息,以及相对应的排队控制器发送的队列信息. 通过判断之后将待发送事务包发送到数据链路层,同时,将相对应的队列信息发送到数据链路层.

4.3 接受端模块设计

接收端主要分为接收判断器,事务存储模块和用户层接收管理模块,负责接收 TLP 事务包和错误检测,以及完成事务包分发和信用信息的更新发送. 接收端模块主要进行事务包的接收,并且进行检测判断,经过错误和畸形事务检测之后,将事务包分发到事务缓冲器中,同时更新信用信息,并向发送端发送完成信息,用于非转发事务回复完成事务包发送.

接收判断器从数据链路层接收 TLP 事务包,并且进行错误事务包检查以及畸形事务包检查,通过提取事务包头部信息,分析其长度和类型信息. 先进行事务层能够处理的事务包判断,如果不能处理,则丢弃该事务包并发送信息到错误处理模块. 再进行畸形事务包判断,如果长度信息和数据链路发送的事务包长度信息不一致,则认为这个事务包是畸形事务包,丢弃该事务包并且通知错误处理模块进行处理,对于正常的事务包将其推送到各相应模块.

图 7 为接收判断器的状态流程图,当数据链路层输入信号有效时,接收端处于空闲状态 S_0 ,此时等待数据传输,若数据链路层输入信号发生改变,则进入接收头文件状态 S_1 ,在这个状态下,接收判断器需要判断数据包的类型,如果是事务层所支持的类型,读取事务包的长度信息 NUM;若不是事务层支持的事务包格式,说明接收到的事务包是不支持事务包,则丢弃该事务包,并且跳到 S_3 状态,直到该

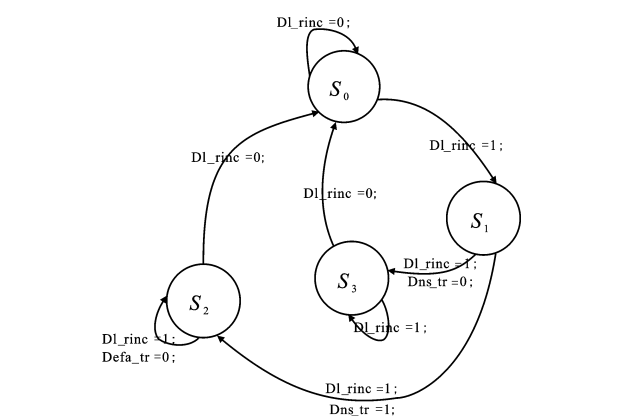


图 7 接收判断器的状态流程图

事务包全部丢弃. 当接收判断器处于接收有效数据载荷状态 S_2 ,待本事务包接收完毕,将统计的事务包长度 NUM 与读取头文件所得的长度 head_num 比较,若相同,则该事务包正确,则整个接收判断过程结束;否则,该事务包是畸形事务包,将相应的错误信息发送到错误处理模块进行处理.

事务存储模块与发送端的设计是相似的,不同的是在接收到非转发事务包时,向发送端发出完成信息,用于发送完成事务包.

应用层接收管理模块主要通过判断事务暂存模块中的事务存在消息,按照优先级将事务包读取到暂存异步 FIFO 中,同时更新信用信息到信用控制器,然后等待应用层调用事务包,并重新读取暂存模块中的事务包.

4.4 信用流控模块设计

信用流控模块主要完成两个方面的功能,一方面对发送端的待发送事务包进行信用信息检查,确定接收方是否有足够的存储空间接收该事务包;另一方面对接收端的信用空间信息进行更新,以及通过数据链路层将更新的信用信息通知到发送方.

信用流控制器模块基本设计如图 8 所示,具体细节分为两个小模块,一个是发送流量控制模块,另一个是接收流量控制模块. 两个模块与数据链路层的通讯都由 DLLP 数据包完成.

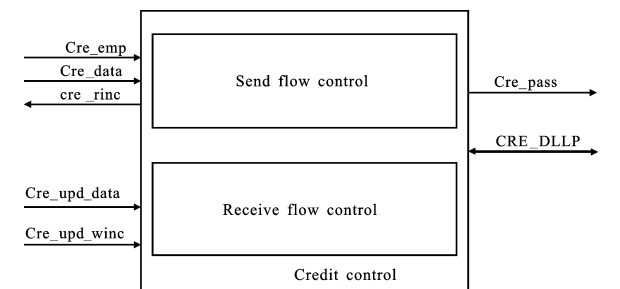


图 8 信用流控制器基本框图

发送流量控制模块通过计算接收到的来自接收方的信用量 CL(credit limit),以及相关事务已经发送的信用量 CC(credit consumed),并与当前的待发数据事务包的信用量相加得出需要发送所需的信用量 CR(credit required),fieldsize 为计数器的位宽. 逻辑控制计算公式为:

$$CL-CC>2^{[fieldsize]} \tag{1}$$

当公式(1)成立时,表示相关的事务接收方有相应的存储空间接收待发送的 TLP,所以向发送判断器发送该 TLP 的允许发送信号.

接收流量控制模块接收到来自应用层接收管理模块的信用更新信息时,将该信用信息打包成信用 DLLP,然后通过数据链路层发送到发送方信用控制器中.

5 仿真及验证分析

事务层模块的验证采用 Modelsim 仿真软件,通过搭建事务层接口系统,对事务层模块进行数据和信号发送,使该模块处于工作状态,通过调节各数据包的格式,对模块进行分析,判断事务层设计的正确性.

5.1 发送端仿真分析表明

如图 9 所示,应用层分别发送 P、CPL 和 NP 三种不同类型的数据包到发送模块的应用层传输接口. 从图中可以得出,应用层传输接口接收数据包之后通过判断事务类型以及数据包的长度,实时地将事务包传输到相应的事务暂存模块中,准确提取信用信息存储到相对应的事务信用暂存模块中. 并且能够及时有序地接收不同事务类型的数据包.

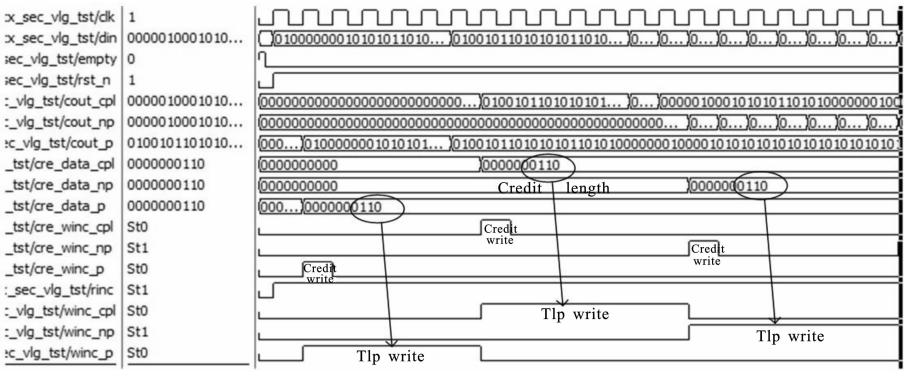


图 9 发送端接口仿真

5.2 接收端仿真分析

从图 10 中可以看出,接收端能够完成错误校验和事务包检查的工作,接收端能够顺序接收事务包、并且判断事务包的类型及长度并进行畸形判断和错

误判断,同时能输出错误事务包信号,以及错误事务包所包含的信息,且能够及时处理正确的事务包,以及发送相应的信用信号.

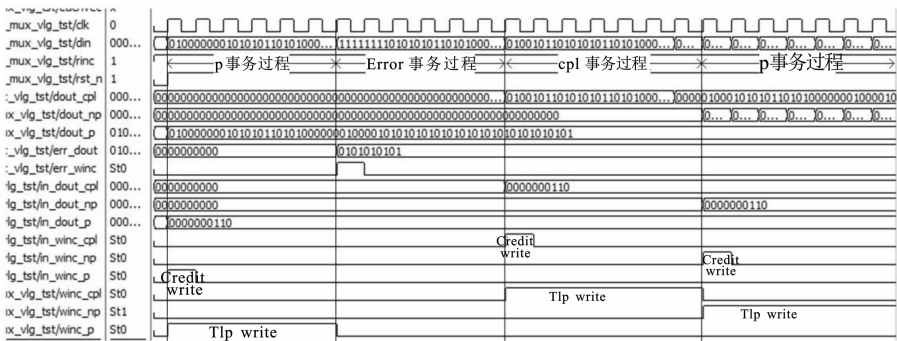


图 10 接收端接口仿真

5.3 流控模块仿真分析

如图 11 所示,分别对 P、NP、CPL 三种事务进

行信用流控制仿真,通过对比接收方的接收信用空间数据和待发发送信用数据,将能够发送的信号正确

的输出,并且不断监测接收空间信用值的变化,以及 及时发送。
待发送事务的变化,控制接收空间信用不足的数据

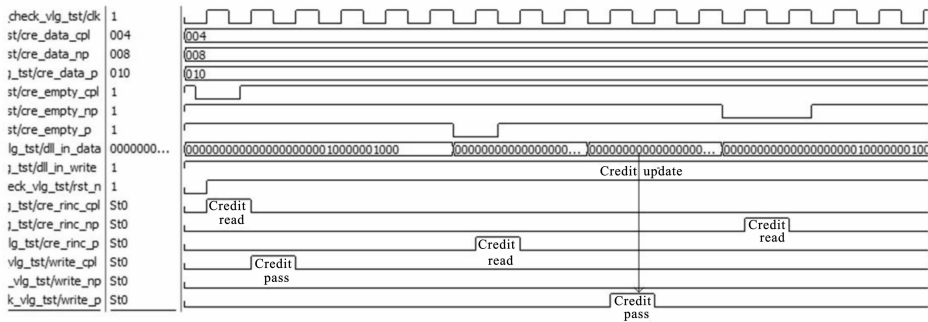


图 11 信用流控制仿真

6 结束语

本文通过研究分析 PCI Express 协议的事务层原理,设计出满足事务层协议的基本结构,采用自下向上的设计方法,对事务层进行了模块化设计,并且使用 Verilog HDL 硬件编程语言实现. 为了验证本设计的正确性,采用相关的仿真软件进行测试文本的编写. 通过仿真结果验证,本设计能够实现 PCIe 事务层的功能,各模块能够有效的工作并且具有良好的实时性. 文中的各模块可以根据不同的实际需求进行部分参数的改变,可较好满足 PCIe 总线协议设计要求.

参考文献:

[1] 孙文硕,赛景波. PCI-e 高速数据采集卡的驱动与上位机软件设计[J]. 电子器件,2015,38(5):1126-1130.
[2] 张伟达,黄芝平,唐贵林. 基于 PCI Express 的高速数据传输系统研究与开发[J]. 计算机测量与控制,2009,17(12):2555-2557.
[3] 王堃,许文强,马卓. PCI Express 中 2.5Gbps 高速 SerDes 的设计与实现[J]. 计算机工程与科学,2009,31

(11):62-65.
[4] 唐雷雷,贺占庄. PCI Express 总线中消息中断的研究[J]. 微电子学与计算机,2013,30(7):137-140.
[5] 姜宁,陈建春,王沛,等. 基于 FPGA 的 PCIe 接口实现[J]. 电子科技,2014,27(10):188-191.
[6] 孟会,刘雪峰. PCI Express 总线技术分析[J]. 计算机工程,2006,32(23):253-255.
[7] 徐天,何道君,徐金甫. 基于 IP 核的 PCI Express 接口[J]. 计算机工程,2009,35(24):239-241.
[8] 许川佩,黄天怀. 基于 FPGA 的 AXIe 接口设计[J]. 仪表技术与传感器,2016,52(10):45-49.
[9] 郭友洪,杨红官,尚林林. PCI Express 交换器交换模块的设计及实现[J]. 微电子学与计算机,2009,26(6):114-117.

作者简介:

许川佩 女,(1968-),博士,教授,博士生导师. 研究方向为自动测试总线与系统、集成电路测试技术.
李春丰(通讯作者) 男,(1994-),硕士研究生. 研究方向为集成电路测试技术. E-mail:535214238@qq.com.
张培源 男,(1993-),硕士研究生. 研究方向为集成电路测试技术.